



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0041656  
Application Number

출원년월일 : 2002년 07월 16일  
Date of Application JUL 16, 2002

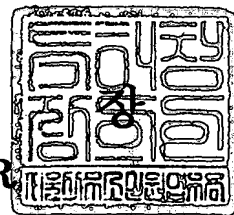
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    04    월    16    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.07.16
【발명의 명칭】	반도체 웨이퍼 제조 방법
【발명의 영문명칭】	Method for manufacturing a semiconductor wafer
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	이동호
【성명의 영문표기】	LEE,Dong Ho
【주민등록번호】	680626-1041811
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 현대아파트 807-401
【국적】	KR
【발명자】	
【성명의 국문표기】	곽노열
【성명의 영문표기】	KWAK,Noh Yeal
【주민등록번호】	700114-1403116
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 104-1501
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 리인 무 (인) 신영

**【수수료】**

【기본출원료】 9 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 웨이퍼 제조 방법에 관한 것으로, 저온 열처리를 통해 웨이퍼 내부의 깊은 영역에 핵생성 사이트를 형성시키고, 급속 열처리를 통해 상기 핵생성 사이트에 산소 석출물이나 금속성 불순물 등이 트랩되도록 한다. 따라서 급속 열처리를 이용하여 게터링 효과를 향상시키므로써 웨이퍼 표면부에서의 불순물 농도가 종래보다 낮아지고, 이에 따라 소자의 신뢰성이 향상되며, 또한, 열처리 단계를 종래보다 감소시켜 소자의 생산성 향상을 이룰 수 있다.

**【대표도】**

도 2

**【색인어】**

웨이퍼, 결함층, 급속 열처리, 산소 석출물, 게터링

**【명세서】****【발명의 명칭】**

반도체 웨이퍼 제조 방법 {Method for manufacturing a semiconductor wafer}

**【도면의 간단한 설명】**

도 1은 종래의 반도체 웨이퍼 제조 방법을 설명하기 위한 공정도.

도 2는 본 발명에 따른 반도체 웨이퍼 제조 방법을 설명하기 위한 공정도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조에 사용되는 웨이퍼의 제조 방법에 관한 것으로, 더욱 상세하게는 웨이퍼 제조 시간을 단축시키고 불순물 농도를 개선시켜 신뢰성 높은 고품질의 소자를 제조할 수 있도록 한 반도체 웨이퍼 제조 방법에 관한 것이다.
- <4> 근래에 들어 반도체 소자의 초고집적화 및 웨이퍼의 대구경화가 급격하게 이루어짐에 따라 반도체 소자 제조를 위한 웨이퍼의 질을 향상시키는 기술이 매우 중요한 과제로 대두된다. 만일 소자구동 영역의 웨이퍼에 불순물이나 격자결함 등이 극미량이라도 존재할 경우 소자의 전기적 특성에 많은 영향을 미치기 때문에 웨이퍼의 제조 단계에서 이러한 불순물이나 격자결함 등의 생성을 억제하거나 제거해야 한다.
- <5> 종래에는 도 1에 도시된 바와 같이 3 단계의 열처리 과정을 통한 내부 게터링(Gettering)을 이용하여 웨이퍼에 존재하는 불순물이나 격자결함 등을 제거하였다.

- <6> Czochralski 법으로 성장시킨 단결정 실리콘 웨이퍼에는 과포화된 산소가 다량으로 존재한다. 따라서 상기 웨이퍼를 반응로(Furnace) 내부로 로드(Load)한 후 1000 내지 1200℃의 온도에서 1 내지 2 시간동안 열처리하여 웨이퍼의 표면부에 존재하는 산소를 외부로 확산시키고, 650 내지 850℃의 온도에서 3 내지 10 시간동안 열처리하여 웨이퍼 내부의 깊은 영역에 핵생성(Nucleation) 사이트(Site)를 형성시킨다. 이후, 900 내지 1000℃의 온도에서 1 내지 4 시간동안 열처리하면 상기 핵생성 사이트에 산소 석출물이나 금속성 불순물 등이 트랩(Trap)되어 웨이퍼의 깊은 영역에 결함층이 형성된다.
- <7> 상기와 같이 종래에는 고온-저온-중간 온도에서의 3 단계 열처리 과정을 통해 웨이퍼의 원하는 영역 즉, 소자구동영역 밖에 산소 석출물과 금속성 불순물 등이 게터링된 결함층을 형성함으로써 소자구동영역의 산소 농도가 조절되도록 한다. 이때, 결함층의 크기와 위치는 열처리 온도와 시간에 의해 인위적으로 조절될 수 있다. 그런데 상기와 같은 종래의 방법을 이용하면 열처리 단계가 많고 시간이 많이 소요되어 웨이퍼 제조에 많은 시간이 걸리므로 생산성이 저하된다.

**【발명이 이루고자 하는 기술적 과제】**

- <8> 따라서 본 발명은 저온 열처리 및 급속 열처리로 이루어지는 2 단계의 공정을 통해 결함층을 형성함으로써 상기한 단점을 해소할 수 있는 반도체 웨이퍼 제조 방법을 제공하는 데 그 목적이 있다.
- <9> 상기한 목적을 달성하기 위한 본 발명은 웨이퍼 내부의 깊은 영역에 핵생성 사이트를 형성시키기 위해 저온에서 열처리하는 단계와, 상기 핵생성 사이트에 산소 석출물이나 금속성 불순물 등이 트랩되도록 급속 열처리하는 단계를 포함하는 특징으로 한다.

- <10>      상기 저온 열처리는 650 내지 850℃의 온도 및 질소(N<sub>2</sub>) 분위기에서 3 내지 10 시간동안 실시되며, 상기 급속 열처리는 1000 내지 1200℃의 온도 및 질소(N<sub>2</sub>) 분위기에서 10초 내지 5분동안 실시되는 것을 특징으로 한다.
- <11>      또한, 상기 저온 열처리를 실시하기 전에 상기 웨이퍼 표면부에 존재하는 산소를 외부 확산시키기 위해 고온 열처리하는 단계를 더 포함하는 것을 특징으로 하며, 상기 저온 열처리는 1000 내지 1200℃의 온도 및 질소(N<sub>2</sub>) 또는 드라이 산소(Dry O<sub>2</sub>) 분위기에서 1 내지 2 시간동안 실시되는 것을 특징으로 한다.

**【발명의 구성 및 작용】**

- <12>      이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
- <13>      도 2는 본 발명에 따른 반도체 웨이퍼 제조 방법을 설명하기 위한 공정도이다.
- <14>      1 단계 : Czochralski법으로 성장시킨 단결정 실리콘 웨이퍼를 반응로 내부로 로드한 후 1000 내지 1200℃의 온도 및 질소(N<sub>2</sub>) 또는 드라이 산소(Dry O<sub>2</sub>) 분위기에서 1 내지 2 시간동안 열처리하여 웨이퍼 표면부에 존재하는 산소가 외부로 확산되도록 하므로써 표면에서의 산소의 농도가 감소된다. 이때, 웨이퍼의 깊이 방향으로 산소의 농도가 점차 증가하는 분포를 갖는다.
- <15>      2 단계 : 650 내지 850℃의 온도 및 질소(N<sub>2</sub>) 분위기에서 3 내지 10 시간동안 열처리하여 웨이퍼 내부의 깊은 영역에 핵생성 사이트를 형성시킨다. 이때, 생성되는 석출물의 임계 크기는 상기 1 단계의 열처리에 의해 결정된 산소의 농도에 따라 달라지는데, 석출물의 임계값은 웨이퍼의 깊이 방향으로 점차 감소하는 분포를 갖는다.

- <16> 3 단계 : 1000 내지 1200℃의 온도 및 질소(N<sub>2</sub>) 분위기에서 10초 내지 5분동안 급속 열처리하여 상기 핵생성 사이트에 산소 석출물이나 금속성 불순물 등이 트랩되도록 하므로써 웨이퍼의 깊은 영역에 결함층이 형성된다. 상기 급속 열처리 시 승온속도는 30 내지 200℃/sec, 냉각속도는 200 내지 100℃/sec가 되도록 하며, 상기 질소(N<sub>2</sub>)의 유량은 1 내지 20slpm이 되도록 한다.
- <17> 즉, 1000℃의 반응로에서 1 시간동안 열처리할 경우와, 1050℃에서 30초동안 급속 열처리할 경우의 산소 게터링 효과를 비교하면 서로 유사하지만, 급속 열처리한 경우 결함층이 더 깊은 영역에 형성되기 때문에 웨이퍼 표면부에서의 불순물 농도는 반응로에서 열처리한 경우보다 더 낮아지게 된다.
- <18> 또한, 본 발명에 따르면 상기 3 단계의 급속 열처리를 통해 웨이퍼의 표면부에 존재하는 산소가 외부확산되거나 결함층으로 게터링되기 때문에 상기 1 단계의 열처리 과정을 생략할 수 있다.

#### 【발명의 효과】

- <19> 상술한 바와 같이 본 발명은 저온 열처리를 통해 웨이퍼 내부의 깊은 영역에 핵생성 사이트를 형성시키고, 급속 열처리를 통해 상기 핵생성 사이트에 산소 석출물이나 금속성 불순물 등이 트랩되도록 한다. 따라서 급속 열처리를 이용하여 게터링 효과를 향상시키므로써 웨이퍼 표면부에서의 불순물 농도가 종래보다 낮아지고, 이에 따라 소자의 신뢰성이 향상된다. 또한, 열처리 단계를 종래보다 감소시켜 소자의 생산성 향상을 이룰 수 있다.



**【특허청구범위】****【청구항 1】**

웨이퍼 내부의 깊은 영역에 핵생성 사이트를 형성시키기 위해 저온에서 열처리하는 단계와,

상기 핵생성 사이트에 산소 석출물이나 금속성 불순물 등이 트랩되도록 급속 열처리하는 단계를 포함하는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 저온 열처리는 650 내지 850℃의 온도 및 질소(N<sub>2</sub>) 분위기에서 3 내지 10 시간동안 실시되는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 급속 열처리는 1000 내지 1200℃의 온도 및 질소(N<sub>2</sub>) 분위기에서 10초 내지 5분동안 실시되는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

**【청구항 4】**

제 1 항에 있어서, 상기 급속 열처리 시 승온속도는 30 내지 200℃/sec, 냉각속도는 200 내지 100℃/sec가 되도록 하며, 상기 질소(N<sub>2</sub>)의 유량은 1 내지 20slpm이 되도록 하는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

**【청구항 5】**

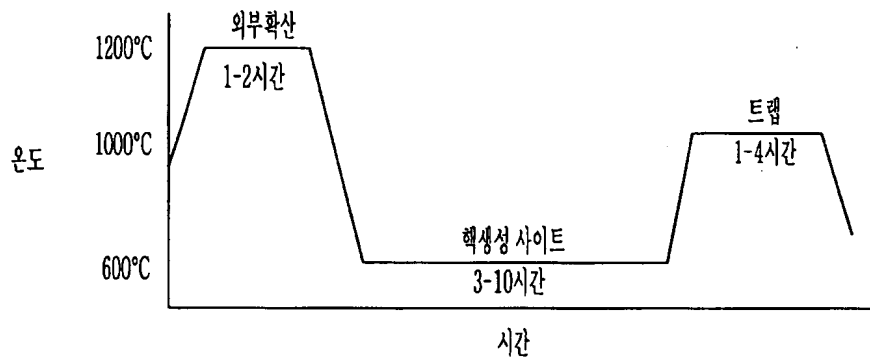
제 1 항에 있어서, 상기 저온 열처리를 실시하기 전에 상기 웨이퍼 표면부에 존재하는 산소를 외부 확산시키기 위해 고온 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

【청구항 6】

제 5 항에 있어서, 상기 저온 열처리는 1000 내지 1200℃의 온도 및 질소(N<sub>2</sub>) 또는 드라이 산소(Dry O<sub>2</sub>) 분위기에서 1 내지 2 시간동안 실시되는 것을 특징으로 하는 반도체 웨이퍼 제조 방법.

## 【도면】

【도 1】



【도 2】

